

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-058536

(43)Date of publication of application : 25.02.2000

(51)Int.Cl.

H01L 21/312

H01L 21/318

H01L 21/768

(21)Application number : 10-229708

(71)Applicant : NEC CORP

(22)Date of filing : 14.08.1998

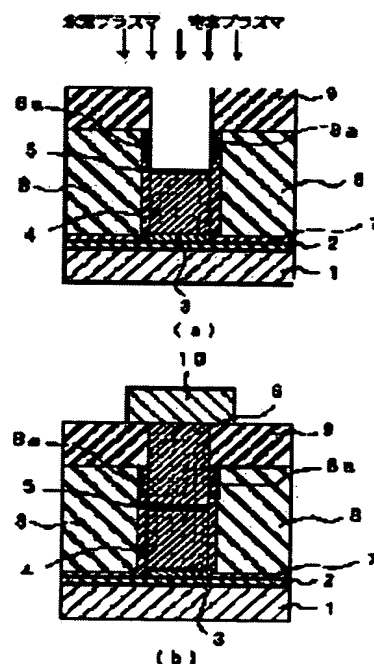
(72)Inventor : YOKOYAMA KOJI
USAMI TATSUYA

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To lower a dielectric constant of an inter-layer insulating film which rises after an oxygen plasma processing, etc.

SOLUTION: An inter-layer insulating film 8 comprising an insulator represented by a chemical formula comprising Si-H combination or Si-CH₃ combination is formed on a semiconductor substrate. A photo-resist is formed on the inter-layer insulating film 8, which is patterned to a specified form. Then the inter-layer insulating film 8 is dry-etched with the photo-resist as a mask. Then the photo-resist is removed. Nitrogen gas and hydrogen gas, the volume of hydrogen gas being 2-80% of that of nitrogen gas, are introduced in a chamber where the semiconductor substrate is provided so that the inter-layer insulating film 8 is exposed to a nitrogen plasma and hydrogen plasma.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-58536 ✓

(P2000-58536A)

(43)公開日 平成12年2月25日(2000.2.25)

(51)Int.Cl.⁷

識別記号

F I

テマコード(参考)

H 0 1 L 21/312

H 0 1 L 21/312

N 5 F 0 3 3

21/318

21/318

M 5 F 0 5 8

21/768

21/90

K

審査請求 有 請求項の数7 O L (全 10 頁)

(21)出願番号 特願平10-229708

(22)出願日 平成10年8月14日(1998.8.14)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 横山 孝司

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 宇佐美 達矢

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100090158

弁理士 藤巻 正憲

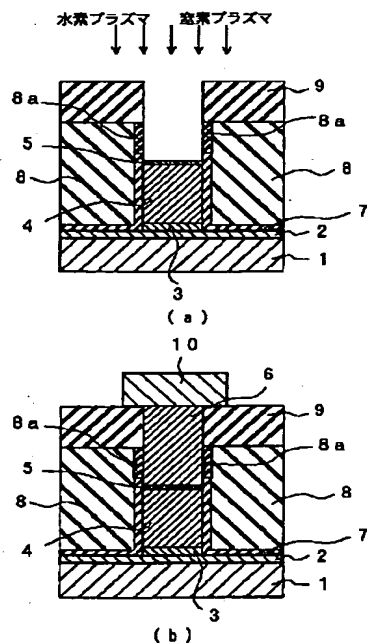
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 酸素プラズマ処理等により上昇した層間絶縁膜の比誘電率を低下させることができる半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板上にSi-H結合又はSi-CH₃結合を有する化学式で表される絶縁体を含有する層間絶縁膜8を形成する。その後、層間絶縁膜8上にフォトリソストを形成し、このフォトリソストを所定の形状にパターンニングする。次いで、前記フォトリソストをマスクとして層間絶縁膜8をドライエッチングする。次に、前記フォトリソストを除去する。そして、水素ガスの体積を窒素ガスの体積の2乃至80%として、窒素ガス及び水素ガスを前記半導体基板が配置されたチャンバ内に導入し層間絶縁膜8を窒素プラズマ及び水素プラズマに曝す。



4; 第1の配線層

8a; 改質部

6; 接続金属層

9; 第3の層間絶縁膜

8; 第2の層間絶縁膜

10; 第2の配線層

【特許請求の範囲】

【請求項 1】 半導体基板と、この半導体基板上に形成された配線層と、この配線層を被覆する窒化膜と、この窒化膜上に形成され前記配線層まで達する開口部を有し $\text{Si}-\text{H}$ 結合又は $\text{Si}-\text{CH}_3$ 結合を有する化学式で表される絶縁体を含有する層間絶縁膜と、を有することを特徴とする半導体装置。

【請求項 2】 前記窒化膜は、チタン窒化膜又はシリコン窒化膜であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 半導体基板上に $\text{Si}-\text{H}$ 結合又は $\text{Si}-\text{CH}_3$ 結合を有する化学式で表される絶縁体を含有する層間絶縁膜を形成する工程と、前記層間絶縁膜上にフォトリソを形成する工程と、前記フォトリソを所定の形状にパターニングする工程と、前記フォトリソをマスクとして前記層間絶縁膜をドライエッチングする工程と、前記フォトリソを除去する工程と、前記層間絶縁膜を窒素プラズマ及び水素プラズマに曝す工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 4】 前記層間絶縁膜を窒素プラズマ及び水素プラズマに曝す工程は、窒素ガス及び水素ガスを前記半導体基板が配置されたチャンバ内に導入する工程を有し、前記水素ガスの体積は前記窒素ガスの体積の 2 乃至 80% であることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 半導体基板上に $\text{Si}-\text{H}$ 結合又は $\text{Si}-\text{CH}_3$ 結合を有する化学式で表される絶縁体を含有する層間絶縁膜を形成する工程と、前記層間絶縁膜上にフォトリソを形成する工程と、前記フォトリソを所定の形状にパターニングする工程と、前記フォトリソをマスクとして前記層間絶縁膜をドライエッチングする工程と、前記フォトリソを除去する工程と、前記層間絶縁膜をフッ素プラズマに曝す工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 6】 半導体基板上に $\text{Si}-\text{H}$ 結合又は $\text{Si}-\text{CH}_3$ 結合を有する化学式で表される絶縁体を含有する層間絶縁膜を形成する工程と、前記層間絶縁膜上にフォトリソを形成する工程と、前記フォトリソを所定の形状にパターニングする工程と、前記フォトリソをマスクとして前記層間絶縁膜をドライエッチングする工程と、前記フォトリソを除去する工程と、前記層間絶縁膜をヘキサメチルジシラザンガスに曝す工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板上に選択的に配線層を形成する工程と、全面に窒化膜を形成する工程と、前記窒化膜上に $\text{Si}-\text{H}$ 結合又は $\text{Si}-\text{CH}_3$ 結合を有する化学式で表される絶縁体を含有する層間絶縁膜を形成する工程と、前記層間絶縁膜上にフォトリソを形成する工程と、前記フォトリソを前記配線層上に開口部を有する形状にパターニングする工程と、前記フォトリソ

をマスクとして前記層間絶縁膜をドライエッチングする工程と、前記フォトリソを除去する工程と、前記層間絶縁膜をフッ素プラズマに曝す工程と、を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は酸素プラズマ処理により必要な特性が劣化しやすい層間絶縁膜を有する半導体装置及びその製造方法に関し、特に、劣化した特性を回復させることができる半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 大規模集積回路 (LSI) における信号処理の高速化の要求は年々増加している。LSI の信号処理速度は、主にトランジスタ自体の動作速度及び配線での信号伝播遅延時間の大小により決定される。そして、従来、大きく影響を及ぼしていたトランジスタの動作速度はトランジスタのサイズを縮小化することにより向上されてきた。

【0003】 しかし、設計ルールが $0.25\mu\text{m}$ より小さい LSI においては、配線の信号伝播遅延による信号処理速度の低下が大きくなりつつある。特に、配線層が 4 層を超える多層配線構造を有する LSI デバイスにおいて、その影響が大きい。

【0004】 そこで、近時、配線の信号伝播遅延を改善する方法として、従来のシリコン酸化膜による層間絶縁膜の替わりにより比誘電率が低いハイドロジェンシルセスキオキサン (HSQ) 膜等を使用する方法が検討されている。HSQ 膜はシリコン酸化膜の $\text{Si}-\text{O}$ 結合の一部が $\text{Si}-\text{H}$ 結合により置換された化学構造を有する樹脂膜であり、基板上に塗布し加熱焼成することで層間絶縁膜として使用される。HSQ 膜は、そのほとんどが従来のシリコン酸化膜と同様の $\text{Si}-\text{O}$ 結合から構成されているため、 500°C 程度まで誘電率が低い状態で耐熱性を有している。

【0005】

【発明が解決しようとする課題】 しかしながら、HSQ 膜を層間絶縁膜に適用した場合、通常のリソグラフィ技術及びエッチング技術により各種パターンを形成するために使用したフォトリソを剥離する工程において、HSQ 膜が劣化してしまうという問題点がある。

【0006】 フォトリソを剥離する工程においては、通常、酸素プラズマによる処理を行った後、フォトリソの剥離残り及びエッチング残さを除去するために、モノエタノールアミン等を含有するウェット剥離液による処理を行う。HSQ 膜が酸素プラズマに曝されると、膜中の $\text{Si}-\text{H}$ 結合が破壊されて $\text{Si}-\text{OH}$ 結合が形成され、その膜質は水を含んだものとなる。また、HSQ 膜にウェット剥離液処理が施されると、酸素プラズマ処理と同様に、 $\text{Si}-\text{H}$ 結合が破壊されて $\text{Si}-\text{OH}$

結合が形成される。即ち、これらの剥離工程により、HSQ膜の膜質は水を多く含んだものとなり、その比誘電率は上昇してしまう。また、水分を多く含むようになると、ビア間のリークの問題も引き起こされる。更に、CVD法又はスパッタ法でビアを埋設する工程において、脱ガスによるビア埋設不良が生じることもある。

【0007】ここで、従来の半導体装置の製造方法について説明する。図13は従来の半導体装置の製造方法を示す断面図である。

【0008】先ず、シリコン基板51上にトランジスタ等の素子を形成することにより、下地層52を形成する。次いで、下地層52上にバリアメタル層53を選択的に形成する。その後、バリアメタル層53上に第1のメタル配線層54を形成する。更に、第1のメタル配線層54上に反射防止膜55を形成する。次いで、全面に第1のシリコン酸化膜57をプラズマCVD法により形成する。その後、第1のシリコン酸化膜57上にHSQ膜58を塗布機を使用して塗布する。そして、ホットプレート等で仮焼成し、焼成炉で焼成する。このとき、通常、Si-H結合の解離を防止するために、ホットプレート及び焼成炉に窒素等を導入してHSQ膜が酸素又は水と反応しないようにする。次いで、HSQ膜58上に第2のシリコン酸化膜59をプラズマCVD法等により形成する。その後、パターニングされたフォトレジストを使用して反射防止膜55上の第2のシリコン酸化膜59及びHSQ膜58をエッチングすることにより、ビアホールを形成する。次に、酸素プラズマ処理によりフォトレジストを剥離し、更に、エッチング残さ等を除去するためにアルカリ系のウェット液による剥離処理を行う。このとき、前述のように、酸素プラズマ処理及びウェット液による剥離処理により、HSQ膜58のビアホールに露出し酸素プラズマ等に曝された領域中のSi-H結合がSi-OH結合に変化して、比誘電率が増加した劣化部58bがこの領域に形成される。この劣化部58bはポイズンドビアの原因ともなる。

【0009】また、HSQ膜の強度を向上させるために、HSQ膜を成膜した後にその表面から窒素又はアルゴン等の不活性ガスによるプラズマ処理を施す方法が提案されている（特開平8-111458号公報）。

【0010】この公報に記載された従来の製造方法によれば、HSQ膜の強度が向上しその下層に形成された金属層から外部応力が印加されてもクラックは発生しにくくなる。しかし、この従来の方法によっても、HSQ膜の比誘電率の上昇を抑制することはできない。

【0011】本発明はかかる問題点に鑑みてなされたものであって、酸素プラズマ処理等により上昇した層間絶縁膜の比誘電率を低下させることができる半導体装置及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明に係る半導体装置

は、半導体基板と、この半導体基板上に形成された配線層と、この配線層を被覆する窒化膜と、この窒化膜上に形成され前記配線層まで達する開口部を有しSi-H結合又はSi-CH₃結合を有する化学式で表される絶縁体を含有する層間絶縁膜と、を有することを特徴とする。

【0013】本発明においては、配線層が窒化膜により被覆されているので、製造工程中の酸素プラズマ処理等により上昇した層間絶縁膜の比誘電率を低下させるためにフッ素プラズマ処理が行われていても、配線層はフッ素プラズマから遮断されている。従って、フッ素プラズマにより配線層が腐食されることなく比誘電率が低い層間絶縁膜が得られる。そして、層間絶縁膜の低比誘電率下によりLSI等の半導体集積回路の高速動作が可能となる。

【0014】なお、前記窒化膜は、チタン窒化膜又はシリコン窒化膜から形成することができる。

【0015】本発明に係る第1の半導体装置の製造方法は、半導体基板上にSi-H結合又はSi-CH₃結合を有する化学式で表される絶縁体を含有する層間絶縁膜を形成する工程と、前記層間絶縁膜上にフォトレジストを形成する工程と、前記フォトレジストを所定の形状にパターニングする工程と、前記フォトレジストをマスクとして前記層間絶縁膜をドライエッチングする工程と、前記フォトレジストを除去する工程と、前記層間絶縁膜を窒素プラズマ及び水素プラズマに曝す工程と、を有することを特徴とする。

【0016】なお、前記層間絶縁膜を窒素プラズマ及び水素プラズマに曝す工程は、水素ガスの体積を窒素ガスの体積の2乃至80%として、窒素ガス及び水素ガスを前記半導体基板が配置されたチャンバ内に導入する工程を有してもよい。

【0017】本発明に係る第2の半導体装置の製造方法は、半導体基板上にSi-H結合又はSi-CH₃結合を有する化学式で表される絶縁体を含有する層間絶縁膜を形成する工程と、前記層間絶縁膜上にフォトレジストを形成する工程と、前記フォトレジストを所定の形状にパターニングする工程と、前記フォトレジストをマスクとして前記層間絶縁膜をドライエッチングする工程と、前記フォトレジストを除去する工程と、前記層間絶縁膜をフッ素プラズマに曝す工程と、を有することを特徴とする。

【0018】本発明に係る第3の半導体装置の製造方法は、半導体基板上にSi-H結合又はSi-CH₃結合を有する化学式で表される絶縁体を含有する層間絶縁膜を形成する工程と、前記層間絶縁膜上にフォトレジストを形成する工程と、前記フォトレジストを所定の形状にパターニングする工程と、前記フォトレジストをマスクとして前記層間絶縁膜をドライエッチングする工程と、前記フォトレジストを除去する工程と、前記層間絶縁膜

をヘキサメチルジシラザンガスに曝す工程と、を有することを特徴とする。

【0019】本発明に係る第4の半導体装置の製造方法は、半導体基板上に選択的に配線層を形成する工程と、全面に窒化膜を形成する工程と、前記窒化膜上にSi-H結合又はSi-CH₃結合を有する化学式で表される絶縁体を含有する層間絶縁膜を形成する工程と、前記層間絶縁膜上にフォトレジストを形成する工程と、前記フォトレジストを前記配線層上に開口部を有する形状にパターンニングする工程と、前記フォトレジストをマスクとして前記層間絶縁膜をドライエッチングする工程と、前記フォトレジストを除去する工程と、前記層間絶縁膜をフッ素プラズマに曝す工程と、を有することを特徴とする。

【0020】本発明方法においては、フォトレジストを除去する際に層間絶縁膜の比誘電率が上昇しても、その後、後に所定のプラズマ又はヘキサメチルジシラザンガスにその層間絶縁膜を曝しているの、上昇した比誘電率を十分に低下させることができる。このため、層間絶縁膜の低比誘電率下によりLSI等の半導体集積回路の高速動作が可能となる。

【0021】

【発明の実施の形態】以下、本発明の実施例に係る半導体装置について、添付の図面を参照して具体的に説明する。図1は本発明の第1の実施例に係る半導体装置を示す断面図である。

【0022】本実施例においては、シリコン基板1上に下地層2が形成されている。そして、下地層2上に選択的にバリアメタル層3が形成されている。また、バリアメタル層3上に第1のメタル配線層4が形成されている。更に、第1のメタル配線層4上に反射防止膜5が形成されている。更にまた、反射防止膜5上に接続金属層6が形成されている。

【0023】また、下地層2の表面並びにバリアメタル層3、メタル配線層4及び反射防止膜5の側面を被覆する第1の層間絶縁膜7が形成されている。更に、第1の層間絶縁膜7上に接続金属層6の途中までの厚さに第2の層間絶縁膜8が形成されている。第2の層間絶縁膜8の誘電率は、シリコン酸化膜の誘電率よりも低い。また、第2の層間絶縁膜8の接続金属層6との界面近傍には、改質部8aが形成されている。そして、第2の層間絶縁膜8上に接続金属層6の上端までの高さに第3の層間絶縁膜9が形成されている。そして、接続金属層6上に第3の層間絶縁膜9上に部分的に広がる第2のメタル配線層10が形成されている。

【0024】なお、第1のメタル配線層4及び第2のメタル配線層10は、例えばCuを含有するAl材又はSi及びCuを含有するAl材等のアルミニウム系の配線材料から構成されている。また、バリアメタル層3及び反射防止膜5は、例えばTi、TiN又はTiWから構

成されている。第1の層間絶縁膜7及び第3の層間絶縁膜9はSiH₄系プラズマSiO₂、Si(OC₂H₅)₄を原料とするTEOS系プラズマSiO₂、SiH₄系プラズマSiON、SiH₄系プラズマSiN又はフッ素を含有するプラズマSiOF等から構成されている。また、第2の層間絶縁膜8はハイドロジェンシルセスキオキサン(HSQ: Hydrogen Silsesquioxane)又は有機スピノングラス(SOG)から構成されている。第2の層間絶縁膜8のほとんどはSi-O結合から構成されているが、改質部8aはSi-H結合及びSi-N結合から構成されている。接続金属層6は、例えばタングステン又はアルミニウム等から構成されている。そのバリアメタルは、例えばTiN又はTiからなる。

【0025】次に、上述の第1の実施例に係る半導体装置を製造する方法について説明する。図2、図3(a)及び(b)並びに図4(a)及び(b)は本発明の第1の実施例に係る半導体装置を製造する方法を工程順に示す断面図である。

【0026】先ず、図2に示すように、シリコン基板1上にトランジスタ等の素子を形成することにより、下地層2を形成する。次いで、下地層2上に下層素子等との接続のために厚さが30乃至200nmのTiN/Ti等からなるバリアメタル層3を選択的に形成する。その後、バリアメタル層3上に厚さが300乃至800nmのAl又はCuを含有するAl合金からなる第1のメタル配線層4をスパッタ法により形成する。更に、第1のメタル配線層4上に厚さが10乃至100nmのTiN等からなる反射防止膜5をリソグラフィ時の反射防止用に形成する。次いで、全面に厚さが20乃至100nmのシリコン酸化膜又はフッ素含有シリコン酸化膜からなる第1の層間絶縁膜7をプラズマCVD (Chemical Vapor Deposition) 法等によりパターンに沿ってコンフォーマルに成膜する。この第1の層間絶縁膜7により後に形成される第2の層間絶縁膜8と基板1との密着性が向上する。なお、その厚さは、層間絶縁膜全体の比誘電率を下げるために、可能な限り薄いことが好ましい。その後、第1の層間絶縁膜7上に厚さが200乃至1000nmのHSQ樹脂からなる第2の層間絶縁膜8を塗布する。そして、100乃至150℃、150乃至250℃、250乃至300℃の温度条件で各1乃至10分程度、窒素雰囲気において3段階の加熱処理を行うことにより、仮焼成する。更に、仮焼成されたHSQ樹脂膜を有する基板1を焼成炉へ入炉し、350乃至500℃の窒素雰囲気、例えば約1時間程度焼成する。

【0027】次に、図3(a)に示すように、第2の層間絶縁膜8上に厚さが2000乃至15000nmのシリコン酸化膜等からなる第3の層間絶縁膜9を形成する。その後、厚さが約1μm厚のパターンニングされたフォトレジスト9aを第3の層間絶縁膜9上に形成する。そして、このフォトレジスト9aを使用して反射防止膜

5まで達するヴィアホールを形成する。

【0028】次に、図3(b)に示すように、酸素を100乃至400 sccm導入し、300乃至600Wの出力で1乃至5分間の酸素プラズマ処理を行うことにより、フォトリソスト9aを剥離する。更に、フォトリソスト9aの剥離残り及びエッチング残さを除去するために、エタノールアミン等を含有するウェット剥離液を使用してウェット剥離処理を10乃至20分間程度行う。この酸素プラズマ処理及びウェット剥離処理により、第2の層間絶縁膜8のヴィアホールに露出している領域のSi-H結合が破壊されてSi-OH結合が形成され、この領域に劣化部8bが形成される。

【0029】次に、チャンバ内に基板1を導入し、図4(a)に示すように、窒素プラズマ及び水素プラズマに同時に曝す。これらのプラズマは、チャンバ内温度を50乃至300℃に設定し、平行平板型リアクタ又は誘導結合高周波プラズマ(ICP: Inductively coupled plasma)、ヘリコン、電子サイクロトロン共鳴(ECR: Electron cyclotron resonance)若しくはマイクロ波等の発生源を使用し、500乃至1500Wの出力で発生させる。なお、チャンバ内に導入する窒素ガスは100乃至1000 sccm、水素ガスは20乃至800 sccm程度である。また、窒素ガスと水素ガスとの混合比は、窒素ガスに対して水素ガスが2乃至80%になるように設定する。これにより、劣化部8b内のSi-OH結合がSi-N結合又はSi-H結合に置換され、膜質の劣化が回復させる。そして、劣化部8bが形成されていた領域に改質部8aが形成される。従って、HSQ膜の表面膜質劣化が回復する。但し、水素ガスの混合比率が2%未満であると完全な窒化膜が形成され、HSQ膜の比誘電率が上昇してしまう。一方、水素の混合比率が80%を超えると、Alが主成分である第1の配線層4中にウィスカ等が発生する虞がある。従って、窒素ガスに対する水素ガスの混合比は2乃至80%とする。

【0030】次に、図4(b)に示すように、ヴィアホール内にタングステン又はアルミニウム等の金属からなる接続金属層6をCVD又はスパッタ法により埋設する。そして、第3の層間絶縁膜9の一部及び接続金属層6上に第2の配線層10を形成する。

【0031】このように製造された本発明の第1の実施例においては、フォトリソスト9aを剥離する工程において形成された劣化部8bに窒素プラズマ及び水素プラズマを同時に処理することにより、膜質劣化が回復された改質部8aが形成されている。これにより、例えばHSQ膜からなる第2の層間絶縁膜8の比誘電率の増加が防止される。また、脱ガスによるタングステン又はアルミニウム等からなるヴィアの埋め込み不良が防止されるだけでなく、ヴィア間のリーク等の問題も解決される。

【0032】次に、本発明の第2の実施例について説明する。図5は本発明の第2の実施例に係る半導体装置を

示す断面図である。

【0033】本実施例においては、シリコン基板11上に下地層(図示せず)が形成されている。そして、下地層上に選択的にバリアメタル層13が形成されている。また、バリアメタル層13上に第1のメタル配線層14が形成されている。更に、第1のメタル配線層14上に反射防止膜15が形成されている。

【0034】また、バリアメタル層13、メタル配線層14及び反射防止膜15の側面を被覆するフッ素防止膜21が形成されている。更に、反射防止膜15の一部の表面上には、フッ素防止膜21の表面から下地層まで達する領域を有する接続金属層16が形成されている。そして、接続金属層16等に被覆されていないフッ素防止膜21の側面及び下地層の表面並びに一部の反射防止膜15の表面を被覆する第1の層間絶縁膜17が形成されている。更に、第1の層間絶縁膜17上に接続金属層16の途中までの厚さに第2の層間絶縁膜18が形成されている。第2の層間絶縁膜18の誘電率は、シリコン酸化膜の誘電率よりも低い。また、第2の層間絶縁膜18の接続金属層16との界面近傍には、改質部18aが形成されている。そして、第2の層間絶縁膜18上に接続金属層16の上端までの高さに第3の層間絶縁膜19が形成されている。そして、接続金属層16上に第3の層間絶縁膜19上に部分的に広がる第2のメタル配線層20が形成されている。

【0035】なお、第1のメタル配線層14及び第2のメタル配線層20は、例えばCuを含有するAl材又はSi及びCuを含有するAl材等のアルミニウム系の配線材料から構成されている。また、バリアメタル層13及び反射防止膜15は、例えばTi、TiN又はTiWから構成されている。第1の層間絶縁膜17及び第3の層間絶縁膜19はSiH₄系プラズマSiO₂、Si(OC₂H₅)₄を原料とするTEOS系プラズマSiO₂、SiH₄系プラズマSiON、SiH₄系プラズマSiN又はフッ素を含有するプラズマSiOF等から構成されている。また、第2の層間絶縁膜18はHSQ又は有機SiOGから構成されている。その改質部18aはSi-F結合を有する酸化膜から構成されている。接続金属層16は、例えばタングステン又はアルミニウム等から構成されている。そのバリアメタルは、例えばTiN又はTiからなる。

【0036】次に、上述の第2の実施例に係る半導体装置を製造する方法について説明する。図6(a)及び(b)並びに図7は本発明の第2の実施例に係る半導体装置を製造する方法を工程順に示す断面図である。

【0037】先ず、図6(a)に示すように、シリコン基板11上にトランジスタ等の素子を形成することにより、下地層を形成する。次いで、下地層上に下層素子等との接続のためにバリアメタル層13を選択的に形成する。その後、バリアメタル層13上に第1のメタル配線

層14を形成する。更に、第1のメタル配線層14上に厚さが50nm以上のTiNからなる反射防止膜15を形成する。次いで、全面に厚さが50乃至100nmのTiNからなるフッ素防止膜21をコンフォーマルにCVD法により成膜する。

【0038】次に、図6(b)に示すように、異方性の低圧条件高密度のプラズマ条件により、反射防止膜15が現れるまでフッ素防止膜21をエッチングする。このとき、第1のメタル配線層4等の側面上に形成された領域はエッチングされにくいいため、この領域にフッ素防止膜21が残存する。これにより、第1の配線層14がTiNからなるフッ素防止膜14及び反射防止膜15に被覆された構造が得られる。

【0039】次に、図7に示すように、全面に第1の層間絶縁膜17をパターンに沿ってコンフォーマルに成膜する。その後、第1の層間絶縁膜17上にHSQ樹脂からなる第2の層間絶縁膜18を塗布する。そして、第1の実施例と同様にして熱処理を行う。更に、第1の実施例と同様にしてシリコン酸化膜からなる第3の層間絶縁膜19を成膜し、配線とビアホールとの間にずれを生じさせるボーダレスコンタクト接続方式を採用してビアホールを形成する。本実施例においては、第1の配線層14の側面がTiNからなるフッ素防止膜21により被覆されているため、ボーダレスコンタクト接続方式を採用しても、第1の配線層14等は露出されない。従って、次工程で実施されるフッ素プラズマ処理等を行っても、Alがフッ素で腐食されることが防止される。更に、フォトレジストを剥離する工程において第2の層間絶縁膜18のビアホールに露出した領域に形成された劣化部にフッ素プラズマ処理を行う。この処理により、劣化部から水成分が除去されこの領域に改質部18aが形成される。フッ素プラズマ処理においては、基板をチャンバ内に導入し、フッ素ガス並びにCH₃F及びC₂F₆等のフルオロカーボンガスを50乃至2000sccm導入し、平行平板型リアクタ又はICP、ヘリコン、ECR若しくはマイクロ波等により、フッ素プラズマを発生させる。

【0040】そして、第1の実施例と同様に、接続金属層16及び第2の配線層20を形成する。

【0041】このようにして製造された本発明の第2の実施例においては、フォトレジストを剥離する工程により形成されたHSQ膜の劣化部がフッ素プラズマ処理により水成分が少なく比誘電率が低い改質部18aに改善されている。また、フッ素プラズマ処理の際には、第1の配線層14はフッ素防止膜21及び反射防止膜15に被覆されているので、フッ素プラズマは第1の配線層14には接触しない。このため、Alからなる第1の配線層14は腐食されない。

【0042】なお、フッ素防止膜としてTiN膜の代わりにSi₃N₄膜を使用することも可能である。図8はS

i₃N₄膜からなるフッ素防止膜が使用された例を示す断面図である。Si₃N₄膜がフッ素防止膜として使用される場合、反射防止膜15を形成した後に、全面に厚さが、例えば50nm程度のフッ素防止膜21aをCVD法により形成する。そして、フッ素防止膜21a上に、第1の層間絶縁膜を形成せずに第2の層間絶縁膜18を形成する。そして、ビアホールを形成しフッ素プラズマ処理を行った後に、エッチングを行うことにより、ビアが形成される領域内のフッ素防止膜21aを除去する。

【0043】次に、本発明の第3の実施例について説明する。図9は本発明の第3の実施例に係る半導体装置を示す断面図である。

【0044】本実施例においては、シリコン基板31上に下地層32が形成されている。そして、下地層32上に溝を有する第1のプラズマTEOS酸化膜37が形成されている。更に、第1のプラズマTEOS酸化膜37上に、第1のプラズマTEOS酸化膜37の溝と同じ位置に形成された溝を有するHSQ膜38及び第2のプラズマTEOS酸化膜39が下から順に形成されている。また、HSQ膜38の溝近傍には、多量のSi-CH₃結合から構成される改質部38aが形成されている。更に、3層の溝の内部には、底面及び側面に沿ってバリアメタル層33が形成されており、このバリアメタル層33内にCu配線層34が埋設されている。

【0045】次に、上述の第3の実施例に係る半導体装置を製造する方法について説明する。図10、図11(a)及び(b)並びに図12(a)及び(b)は本発明の第3の実施例に係る半導体装置を製造する方法を工程順に示す断面図である。

【0046】先ず、図10に示すように、シリコン基板31上にトランジスタ等の素子を形成することにより、下地層32を形成する。次いで、下地層32上に厚さが、例えば約1000Åの第1のプラズマTEOS酸化膜37を形成する。その後、第1のプラズマTEOS酸化膜37上に厚さが、例えば約500nmのHSQ膜38を塗布する。そして、約200℃程度のホットプレートでの熱処理を行い、更に、焼成炉にて約400℃で1時間の焼成を施す。そして、HSQ膜38上に厚さが、例えば100nmの第2のプラズマTEOS酸化膜39を形成する。次いで、第2のプラズマTEOS酸化膜39上にフォトレジスト39aを形成する。その後、露光及び現像によりフォトレジスト39aのパターニングを行う。そして、フォトレジスト39aをマスクとしてフロロカーボン系のガスにより第2のプラズマTEOS酸化膜39、HSQ膜38及び第1のプラズマTEOS酸化膜37のパターニングを順次行うことにより、溝を形成する。

【0047】次に、図11(a)に示すように、フォトレジスト39aを酸素ガスを使用したICPのプラズマ

アッシングにより除去する。更に、ウェット剥離処理を実施する。このプラズマ処理及びウェット剥離処理により、HSQ膜38の溝に露出している領域内のSi-H結合は容易に破壊され、吸湿性を有するSi-OH結合が形成されるため、この領域に劣化部38bが形成される。

【0048】次に、HSQ膜38を真空チャンバ中でヘキサメチルジシラザンガス（以下、HMDSという。）に10分間曝す。なお、HMDSの化学式は下記化学式1で表される。

【0049】

【化1】 $(\text{CH}_3)_3\text{Si}-\text{NH}-\text{Si}-(\text{CH}_3)_3$

【0050】HSQ膜38をHMDSに10分間曝すことにより、劣化部38bにおいて下記化学式2で表される反応が起こる。

【0051】

【化2】 $2\text{Si}-\text{OH} + (\text{CH}_3)_3\text{Si}-\text{NH}-\text{Si}-(\text{CH}_3)_3 \rightarrow 2\text{Si}-\text{O}-\text{Si}-(\text{CH}_3)_3 + \text{NH}_3$

【0052】この反応により、Si-OH結合のほとんどがSi-CH₃結合となり、図11(b)に示すように、劣化部38bが存在していた領域に改質部38aが形成される。

【0053】次に、図12(a)に示すように、全面に厚さが、例えば50nmのTiN膜をスパッタ法により形成することにより、溝内にバリアメタル層33を形成する。更に、バリアメタル層33を形成したときの真空を保持したまま、引き続き全面に厚さが、例えば750nmのCu-CVD膜をCVD法により形成することにより、Cu配線層34を形成する。

【0054】次に、図12(b)に示すように、メタルCMP (Chemical Mechanical Polishing) を施すことにより、バリアメタル層33及びCu配線層34を平坦化する。

【0055】このようにして製造された本発明の第3の実施例においては、Si-OH結合を含む領域である劣化部38bに疎水化処理、即ち、HMDSに曝す処理が行われているので、Si-OH結合がSi-CH₃結合に変化して改質部38aが形成されている。従って、バリアメタル層33及びCu配線層34の埋め込み不良及びHSQ膜38の誘電率の上昇が防止される。

【0056】なお、第3の実施例においては、低誘電率膜としてHSQ膜38が使用されているが、有機SOG膜が使用された場合にも同様の効果が得られる。また、他のSi-H結合又はSi-CH₃結合を含む膜にも適用できることはいうまでもない。

【0057】

【発明の効果】以上詳述したように、本発明によれば、製造工程中の酸素プラズマ処理等により上昇した層間絶縁膜の比誘電率を低下させるためにフッ素プラズマ処理が行われていても、配線層はフッ素プラズマに曝されず

腐食されない。

【0058】また、本発明方法によれば、フォトレジストを除去する際に層間絶縁膜の比誘電率が上昇するが、その後に所定のプラズマ又はヘキサメチルジシラザンガスにその層間絶縁膜を曝しているため、上昇した比誘電率を十分に低下させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る半導体装置を示す断面図である。

10 【図2】本発明の第1の実施例に係る半導体装置を製造する方法を工程順に示す断面図である。

【図3】(a)及び(b)は、同じく、本発明の第1の実施例に係る半導体装置を製造する方法を示す図であって、図2に示す工程の次工程を工程順に示す断面図である。

【図4】(a)及び(b)は、同じく、本発明の第1の実施例に係る半導体装置を製造する方法を示す図であって、図3(a)及び(b)に示す工程の次工程を工程順に示す断面図である。

20 【図5】本発明の第2の実施例に係る半導体装置を示す断面図である。

【図6】(a)及び(b)は、本発明の第2の実施例に係る半導体装置を製造する方法を工程順に示す断面図である。

【図7】同じく、本発明の第2の実施例に係る半導体装置を製造する方法を示す図であって、図6(a)及び(b)に示す工程の次工程を工程順に示す断面図である。

30 【図8】Si₃N₄膜からなるフッ素防止膜が使用された例を示す断面図である。

【図9】本発明の第3の実施例に係る半導体装置を示す断面図である。

【図10】本発明の第3の実施例に係る半導体装置を製造する方法を工程順に示す断面図である。

【図11】(a)及び(b)は、同じく、本発明の第3の実施例に係る半導体装置を製造する方法を示す図であって、図10に示す工程の次工程を工程順に示す断面図である。

40 【図12】(a)及び(b)は、同じく、本発明の第3の実施例に係る半導体装置を製造する方法を示す図であって、図11(a)及び(b)に示す工程の次工程を工程順に示す断面図である。

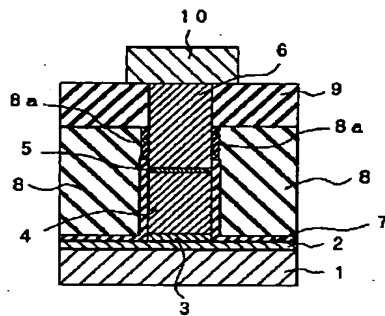
【図13】従来の半導体装置の製造方法を示す断面図である。

【符号の説明】

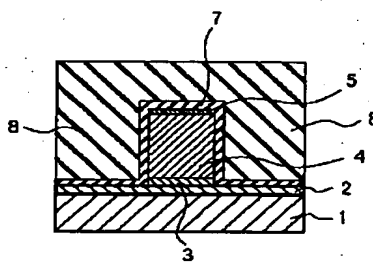
- 1、11、31、51；シリコン基板
- 2、32、52；下地層
- 3、13、33、53；バリアメタル層
- 4、14、54；第1の配線層
- 50 5、15、55；反射防止膜

- 6、16；接続金属層
 7、17；第1の層間絶縁膜
 8、18；第2の層間絶縁膜
 8a、18a、38a；改質部
 8b、38b、58b；劣化部
 9、19；第3の層間絶縁膜
 9a、39a；フォトリソグ
 10、20；第2の配線層

【図1】



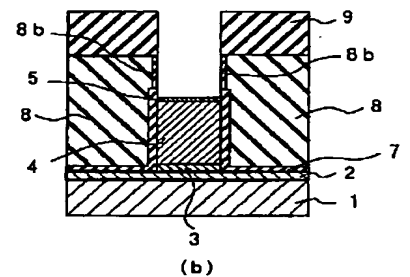
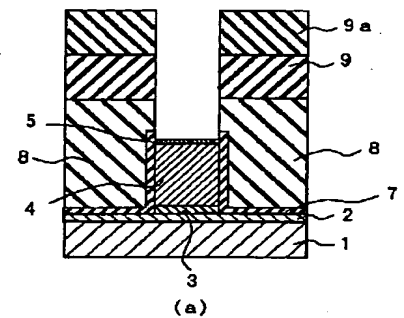
【図2】



- 1；シリコン基板
 2；下地層
 3；バリアメタル層
 4；第1の配線層
 5；反射防止膜
 6；接続金属層
 7；第1の層間絶縁膜
 8；第2の層間絶縁膜
 8a；改質部
 9；第3の層間絶縁膜
 10；第2の配線層

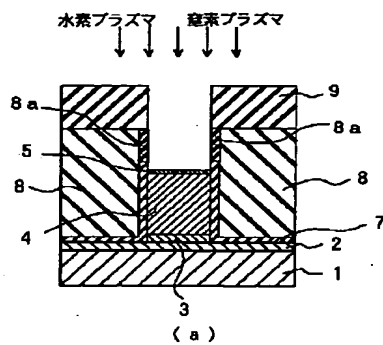
- 21、21a；フッ素防止膜
 34；Cu配線層
 37；第1のプラズマTEOS酸化膜
 38；HSQ膜
 39；第2のプラズマTEOS酸化膜
 57；第1のシリコン酸化膜
 58；HSQ膜
 59；第2のシリコン酸化膜

【図3】



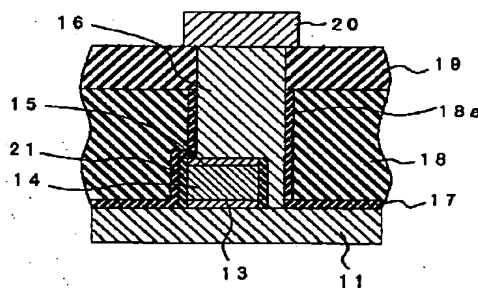
- 1；シリコン基板
 2；下地層
 3；バリアメタル層
 4；第1の配線層
 5；反射防止膜
 7；第1の層間絶縁膜
 8；第2の層間絶縁膜
 8b；劣化部
 9；第3の層間絶縁膜
 9a；フォトリソグ

【図4】



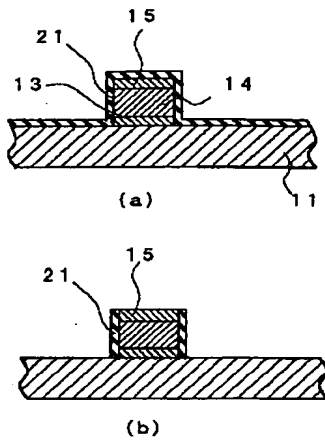
- 4；第1の配線層
 6；接続金属層
 8；第2の層間絶縁膜
 8a；改質部
 9；第3の層間絶縁膜
 10；第2の配線層

【図5】



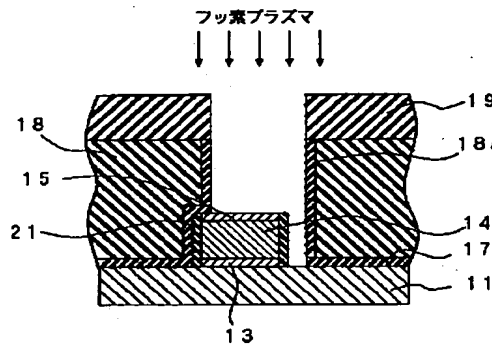
- 11；シリコン基板
 13；バリアメタル層
 14；第1の配線層
 15；反射防止膜
 16；接続金属層
 17；第1の層間絶縁膜
 18；第2の層間絶縁膜
 18a；改質部
 19；第3の層間絶縁膜
 20；第2の配線層
 21；フッ素防止膜

【図6】

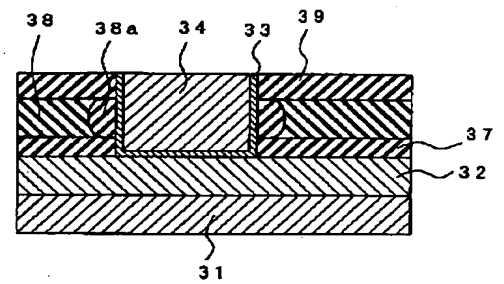


- 11; シリコン基板
13; バリアメタル層
14; 第1の配線層
15; 反射防止膜
21; フッ素防止膜

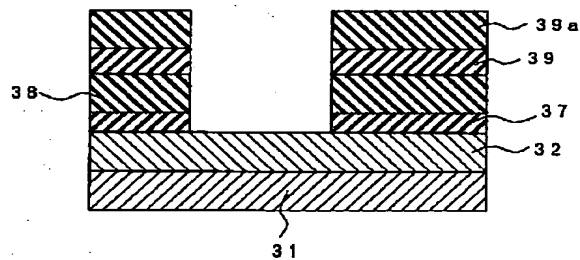
【図7】



【図9】

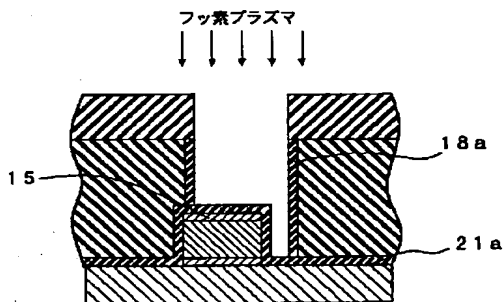


【図10】



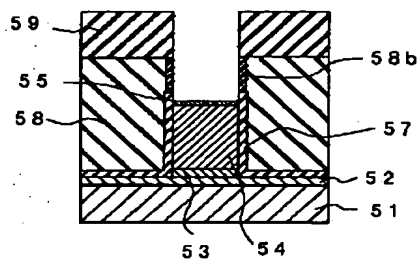
- 31; シリコン基板
32; 下地層
33; バリアメタル層
34; Cu配線層
37; 第1のプラズマTEOS酸化膜
38; HSQ膜
38a; 改質部
39; 第2のプラズマTEOS酸化膜
39a; フォトリソ

【図8】



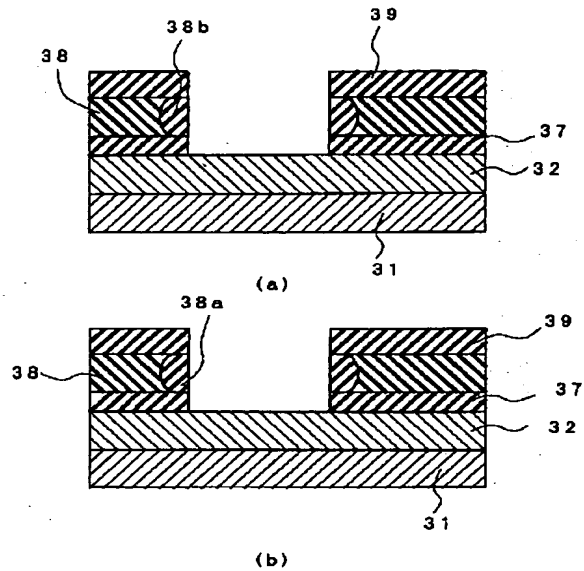
- 11; シリコン基板
14; 第1の配線層
15; 反射防止膜
18; 第2の層間絶縁膜
18a; 改質部
21, 21a; フッ素防止膜

【図13】



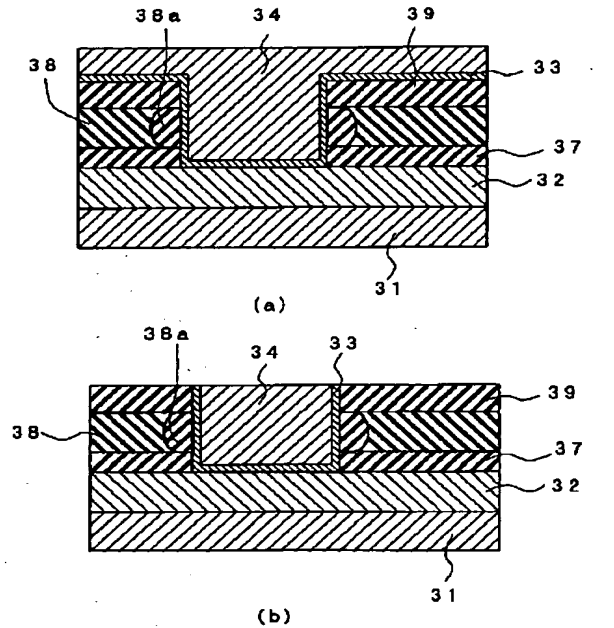
- 51; シリコン基板
52; 下地層
53; バリアメタル層
54; 第1の配線層
55; 反射防止膜
57; 第1のシリコン酸化膜
58; HSQ膜
58b; 劣化部
59; 第2のシリコン酸化膜

【図11】



31; シリコン基板
 32; 下地層
 38a; 改質部
 38b; 劣化部
 37; 第1のプラズマTEOS酸化膜
 38; HSQ膜
 39; 第2のプラズマTEOS酸化膜

【図12】



31; シリコン基板
 32; 下地層
 33; バリアメタル層
 34; Cu配線層
 37; 第1のプラズマTEOS酸化膜
 38; HSQ膜
 38a; 改質部
 39; 第2のプラズマTEOS酸化膜

フロントページの続き

Fターム(参考) 5F033 AA02 AA04 BA13 BA15 BA17
 BA25 CA09 DA05 DA06 DA15
 DA35 DA36 EA03 EA05 EA06
 EA12 EA28 EA29 EA32 FA03
 5F058 BA09 BA20 BD02 BD04 BD06
 BD07 BD10 BD15 BD19 BF07
 BF09 BF23 BF25 BF46 BF80
 BH01 BH03 BH04 BH16 BH20
 BJ02 BJ05